

uS

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月26日  
Date of Application:

出願番号 特願2002-377337  
Application Number:

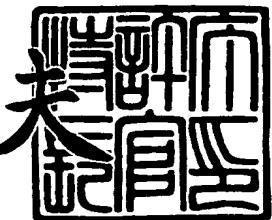
[ST. 10/C] : [JP2002-377337]

出願人 富士通株式会社  
Applicant(s):

2003年11月20日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康



出証番号 出証特2003-3096209

**【書類名】**

特許願

**【整理番号】**

0241693

**【提出日】**

平成14年12月26日

**【あて先】**

特許庁長官 太田 信一郎 殿

**【国際特許分類】**

H03L 7/08

H03B 1/04

**【発明の名称】**

スペクトラム拡散クロック発生回路

**【請求項の数】**

7

**【発明者】****【住所又は居所】** 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴ  
イエルエスアイ株式会社内**【氏名】** 宮田 真次**【発明者】****【住所又は居所】** 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴ  
イエルエスアイ株式会社内**【氏名】** 岡田 浩司**【特許出願人】****【識別番号】** 000005223**【氏名又は名称】** 富士通株式会社**【代理人】****【識別番号】** 100077517**【弁理士】****【氏名又は名称】** 石田 敬**【電話番号】** 03-5470-1900**【選任した代理人】****【識別番号】** 100092624**【弁理士】****【氏名又は名称】** 鶴田 準一

## 【選任した代理人】

【識別番号】 100100871

## 【弁理士】

【氏名又は名称】 土屋 繁

## 【選任した代理人】

【識別番号】 100082898

## 【弁理士】

【氏名又は名称】 西山 雅也

## 【選任した代理人】

【識別番号】 100081330

## 【弁理士】

【氏名又は名称】 樋口 外治

## 【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905449

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スペクトラム拡散クロック発生回路

【特許請求の範囲】

【請求項 1】 基準クロックと生成クロックの位相差を検出する周波数位相比較器と、

前記周波数位相比較器の検出した位相差に応じて充放電信号を発生するチャージポンプと、

前記充電信号に応じた差電圧信号を発生するループフィルタと、

前記差電圧信号を差電流信号に変換する電圧電流変換回路と、

前記差電流信号に応じた周波数の生成クロックを発生するクロック発生器とを備えるスペクトラム拡散クロック発生回路において、

前記差電流信号を変調してスペクトラム拡散変調信号を生成するスペクトラム拡散変調回路と、

前記スペクトラム拡散変調信号を增幅する增幅回路とを備え、

增幅した前記スペクトラム拡散変調信号を前記差電流信号に加算して前記クロック発生器に印加することを特徴とするスペクトラム拡散クロック発生回路。

【請求項 2】 基準クロックと生成クロックの位相差を検出する周波数位相比較器と、

前記周波数位相比較器の検出した位相差に応じて充放電信号を発生するチャージポンプと、

前記充電信号に応じた差電圧信号を発生するループフィルタと、

前記差電圧信号を差電流信号に変換する電圧電流変換回路と、

前記差電流信号に応じた周波数の生成クロックを発生するクロック発生器とを備えるスペクトラム拡散クロック発生回路において、

前記差電流信号を增幅する増幅回路と、

増幅した前記差電流信号を変調してスペクトラム拡散変調信号を生成するスペクトラム拡散変調回路とを備え、

前記スペクトラム拡散変調信号を前記差電流信号に加算して前記クロック発生器に印加することを特徴とするスペクトラム拡散クロック発生回路。

**【請求項 3】** 前記スペクトラム拡散変調回路は、周期毎に最大値と最小値の間を連続的に変化する出力コードを発生するデジタル制御回路と、入力電流信号を前記出力コードに応じて変化させる電流デジタルアナログ変換回路とを備える請求項 1 又は 2 に記載のスペクトラム拡散クロック発生回路。

**【請求項 4】** 前記増幅回路は、一定の出力コードを発生するデジタル制御回路と、入力電流信号を前記出力コードに応じた電流に変化させる電流デジタルアナログ変換回路とを備える請求項 1 又は 2 に記載のスペクトラム拡散クロック発生回路。

**【請求項 5】** 前記電流デジタルアナログ変換回路は、前記出力コードに対応する重み付け比で前記入力電流に対応した電流をそれぞれ発生するトランジスタ列を備え、前記トランジスタ列の出力する電流を合わせた出力電流を出力する回路であり、前記トランジスタ列の各トランジスタの電流の出力を前記出力コードに従って制御することにより前記出力コードに応じた電流に変化させる請求項 3 又は 4 に記載のスペクトラム拡散クロック発生回路。

**【請求項 6】** 前記デジタル制御回路は、クロックを分周する分周比の異なる複数の分周器と、前記複数の分周器の出力を順に選択する切替コントローラと、選択された分周クロックをカウントするアップダウンカウンタと、前記分周クロックをカウントして所定カウント数毎に前記アップダウンカウンタのアップ動作とダウン動作を切り替えるカウンタとを備える請求項 3 又は 4 に記載のスペクトラム拡散クロック発生回路。

**【請求項 7】** 前記デジタル制御回路は、プログラム制御のコンピュータシステムである請求項 3 又は 4 に記載のスペクトラム拡散クロック発生回路。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、電磁波輻射を低減するため、周期が微小量変動するクロック信号を発生するスペクトラム拡散クロック発生回路に関する。

##### 【0002】

##### 【従来の技術】

近年、半導体装置の高速化、高集積化に伴い装置からの電磁波輻射が問題となっている。動作周波数の高速化に伴い、信号の波長短くなり、接続回路または基板内部の配線長は高周波信号の波長とほぼ同じ程度になるので、配線などの接続部はアンテナとして機能し、周囲への電磁波輻射が急激に増加してしまう。また、クロック発生回路自体からも電磁波輻射が放出される。高速なクロックで動作する半導体素子を用いた電子機器の電磁波輻射により、電子機器の相互干渉による誤動作、通信装置への妨害などの悪影響が発生する。

#### 【0003】

このような問題を解決するため、現在電磁波輻射が問題になる電子機器では、回路の配置などを改良して電磁波輻射を低減するほか、電磁波遮蔽により周囲への電磁波の漏れを低減させるなどの対策が行われている。しかし、携帯機器などでは小型化、軽量化が要求されるので、電磁波輻射を低減するための遮蔽を十分に行なうことが難しいという問題があった。

#### 【0004】

そこで、半導体装置の動作クロックを微小に変動させることにより、クロックのスペクトラム拡散を行い、電磁波輻射を低減することが行われており、そのようなクロックを発生するスペクトラム拡散クロック発生（SSCG）回路が提案されている。（特開2000-101424号公報など）

本出願人は、特願2002-266631号で、PLLを利用して基準クロックCLKからM/N倍の周波数のクロックCKを発生する回路を提案している。このSSCG回路は、電流可変回路としてデジタルコード信号で電流量を制御できる電流デジタルアナログ変換器（IDAC）を使用するので、発振周波数の変動をデジタル的に制御することができ、制御が容易であるという特徴を有する。

#### 【0005】

図1は、特願2002-266631号に記載されたSSCG回路の構成例を示す図である。この例は、PLL（Phase Locked Loop）回路を利用して基準クロックCLKからM/N倍の周波数のクロックCKを発生する回路である。この回路は、1/N分周器11、周波数位相比較器12、チャージポンプ（CP）

13、ループフィルタ14、電圧制御発振器（VCO）15、1/N分周器19から構成され、VCO15が、電圧電流（V-I）変換回路16と電流可変回路17と電流制御発振器（ICO）18とで構成されている点が特徴である。

### 【0006】

図1の回路では、周波数位相比較器12が1/N分周されたCLKと1/M分周されたCKの位相差を検出し、位相差に応じてCP13を制御する信号を出力する。CP13は、位相差に応じてループフィルタ14を充放電する信号を出力し、ループフィルタ14の一端に位相差に応じた差電圧が発生する。この差電圧がVCO15に印加され、それに応じて一定の周期のクロックが発生される。このSSCG回路では、V-I変換回路16により差電圧が差電流信号に変換され、電流可変回路17が差電流信号に図2に示すような小さな振幅の所定の周期で変動する信号を加算してスペクトラム変調信号を生成し、この生成された信号をICO18に印加する。これにより、発生されるクロックCKの周期は、基準クロックCLKの周期のM/N倍の周期を中心として、所定のサイクルで変動することになる。変動率及び変動の周期は電流可変回路17の発生するスペクトラム変調信号により決定される。なお、PLL回路の応答時間はスペクトラム変調信号の周期より十分に長く設定されている。

### 【0007】

図3は、特願2002-266631号に記載された電流可変回路17として使用される電流デジタルアナログ変換器（IDAC）の構成を示す図である。図3に示すように、IDACは、トランジスタTr11～Tr15, Tr20, Tr30～Tr3nで構成されるカレントミラー回路を有し、トランジスタのサイズを図示のように適宜設定することにより、Tr20にはV-I変換回路42の出力する電流Irefの80%の電流が流れ、Tr3nにはIrefの10%の電流が流れ、Tr32にはIrefの(20×1/2n-2)%の電流が流れ、Tr31にはIrefの(20×1/2n-1)%の電流が流れ、Tr30にはIrefの(20×1/2n)%の電流が流れる。出力コードのビットデータ/D0～/Dnにより、Tr4n～Tr40が導通状態になると対応するTr3n～Tr30を通る電流が流れる。従って、Tr4n～Tr40をすべて非導通状態にすると、Tr

20を流れる  $I_{ref}$  の80%の電流量が出力され、 $T_{r4n} \sim T_{r40}$  をすべて導通状態にすると、 $T_{r20}$ を流れる電流量に加えて $T_{r3n} \sim T_{r30}$ を通る電流が流れ、 $I_{ref}$ の約100%の電流量が出力される。すなわち、出力コードのビットデータ/ $D_0 \sim D_n$ を適当な値に設定することにより、 $I_{ref}$ の80%から約100%の間の適当な電流量が出力される。なお、電流可変回路には、上記の出力コードを生成する制御回路が設けられる。

#### 【0008】

上記のIDACにおいては、変動範囲の約20%をnビットに分解して出力する電流量を制御できる。すなわち、最小分解能は $20/2^n\%$ である。例えば、 $n=9$ であれば、 $2^9=512$ であり、20%を500段階に分割した0.04%が分解能であり、80%から100%まで0.04%のピッチで出力電流を制御できる。

#### 【0009】

図1のSSCG回路は、一般的に1チップ化されたり、他の回路と一緒に1チップ化されて使用される。スペクトラム拡散変調を行うSSCG回路は、使用される用途に応じてスペクトラム拡散変調の振幅を変更する必要がある。例えば、周期の変動より電磁波輻射の方が重要である場合にはスペクトラム拡散変調の振幅を大きくし、周期の変動が小さいことが要求される場合にはスペクトラム拡散変調の振幅を小さくする必要がある。そこで、SSCG回路のチップの汎用性を高めるに、各種の用途に対応できるように、制御回路の出力する出力コードを任意に設定できるようにしている。

#### 【0010】

##### 【特許文献1】

特開2000-101424号公報（全体）

#### 【0011】

##### 【発明が解決しようとする課題】

IDACに印加する出力コードは任意に設定できるようにしてもIDAC自体の構成はチップで固定されており、入力電流  $I_{ref}$  を変動できる範囲や変動できる最小ステップ（分解能）は固定である。図4は振幅を変える場合の出力コードのビットデータ/ $D_0 \sim D_n$ を適当な値に設定することにより、 $I_{ref}$ の80%から約100%の間の適当な電流量が出力される。

ドの変化を示し、この出力コードの変化に対応して電流が変化し、図4と同様に変化する差電流が得られる。図4の（A）に示すように、振幅が大きい場合には、最小ステップに比べて振幅が大きく、比較的なめらかに変化する。これに対して、振幅を半分にすると、図4の（B）に示すように、図4の（A）の場合に比べてなめらかでなくなる。振幅がさらに半分、すなわち最初の1/4の振幅になると差電流信号の変化は一層なめらかでなくなる。差電流信号の変化がなめらかでなくなると、ICOに印加される電流における高周波成分が増加し、PLLの動作に悪影響を及ぼす。

### 【0012】

そこで、振幅を小さくしても十分になめらかに変化する差電流信号を得るために、トランジスタの個数を増加して出力コードのビット数を増加させる必要がある。例えば、5ビットで振幅の調整が行え、すなわち振幅を100%から3%の範囲で調整でき、最小の振幅でも4ビットの分解能、すなわち15段階に変化可能にするには、9ビットの出力コードが必要である。図3の回路構成で、 $n=9$ とすると、最大サイズのトランジスタは最小サイズのトランジスタに対して $2^8=256$ 倍の大きさにする必要があり、この部分のチップ面積は $2^9=512$ 倍にする必要がある。従って、 $Tr3n$ と $Tr4n$ のサイズは、 $Tr30$ と $Tr40$ のサイズの256倍となる。最小サイズのトランジスタの大きさは製造プロセスから決定されるので、最大サイズのトランジスタのサイズは、非常に大きくなり、それに要する面積も大きくなるという問題がある。

### 【0013】

また、最小サイズのトランジスタを多数並列に形成し、最小サイズのトランジスタは1個、次のサイズのトランジスタは最小サイズのトランジスタを2個、次は4個という具合に並列に接続する最小サイズのトランジスタの個数を2の累乗で変化させることにより、図3の回路のサイズ比のトランジスタ列を実現することが行われる。その場合には、 $n=9$ とすると、最大サイズのトランジスタは最小サイズのトランジスタを並列に256個接続することになる。従って、 $Tr3n$ と $Tr4n$ の組から $Tr30$ と $Tr40$ の組を実現するには、 $Tr30$ と $Tr40$ が512組必要である。

**【0014】**

いずれにしても、出力コードのビット数を増加させると2の累乗でトランジスタのサイズが増加するので、回路規模が増加し、コストが増加するという問題を生じる。

**【0015】**

本発明は、回路規模をあまり増加させずに、広い振幅調整範囲と最小振幅でも十分な分解能を確保できるスペクトラム拡散クロック発生回路の実現を目的とする。

**【0016】****【課題を解決するための手段】**

図5の(A)と(B)は、本発明のスペクトラム拡散クロック発生回路の原理構成図である。

**【0017】**

図5に示すように、本発明のスペクトラム拡散クロック発生回路は、スペクトラム拡散変調回路と增幅回路とを設け、差電流信号のスペクトラム拡散変調と振幅調整を別々に行った後、元の差電流信号に加えるようにする。具体的には、スペクトラム拡散変調回路と增幅回路とをカスケード接続して、スペクトラム拡散変調回路で電圧電流変換回路の出力する差電流信号を変調した後、增幅回路でスペクトラム拡散変調信号を増幅して振幅を調整し、振幅調整した信号を元の差電流信号に加えてICOに印加する。

**【0018】**

図5の(A)と(B)に示すように、スペクトラム拡散変調回路と增幅回路は順序が逆でもよい。

**【0019】**

図6は、本発明の原理を説明する図であり、図6の(A)はスペクトラム拡散変調回路で振幅Aの差電流信号にnビットのパターン変調を行った後の変調電流信号を示し、図6の(B)は(A)の信号の振幅をk/m倍に増幅(減衰)した信号を示す。振幅をk/m倍にしても分解能(ステップ数)は変化しない。

**【0020】**

本発明のスペクトラム拡散クロック発生回路では、パターン変調と振幅調整が独立に行われるため、振幅調整によらない一定分解能の変調電流が output される。前述のように、5ビットで振幅の調整が行え、最小の振幅でも4ビットの分解能を有するようにする場合、図3の従来の構成では、 $n = 9$ として、 $T_{r30}$ から $T_{r3n}$ および $T_{r40}$ から $T_{r4n}$ を実現するには、最小サイズのトランジスタの組 $T_{r30}$ と $T_{r40}$ の $2^9 = 512$ 倍の大きさが必要があった。これに対して、本発明のスペクトラム拡散クロック発生回路では、 $2^5 + 2^4 = 48$ 倍の大きさであればよく、回路規模を小さくできる。

#### 【0021】

スペクトラム拡散変調回路と增幅回路は、図3に示した電流デジタルアナログ変換回路（IDAC）で実現できる。

#### 【0022】

スペクトラム拡散変調回路は、周期毎に最大値と最小値の間を連続的に変化する出力コードを発生するデジタル制御回路と、IDACとで実現できる。

#### 【0023】

增幅回路は、一定の出力コードを発生するデジタル制御回路と、IDACとで実現できる。

#### 【0024】

デジタル制御回路は、クロックを分周する分周比の異なる複数の分周器と、前記複数の分周器の出力を順に選択する切替コントローラと、選択された分周クロックをカウントするアップダウンカウンタと、分周クロックをカウントして所定カウント数毎に前記アップダウンカウンタのアップ動作とダウン動作を切り替えるカウンタとを備えることにより実現できる。

#### 【0025】

また、デジタル制御回路は、プログラム制御のコンピュータシステムで実現できる。

#### 【0026】

##### 【発明の実施の形態】

図7は、本発明の第1実施例のスペクトラム拡散クロック発生（SSCG）回

路の構成を示す図である。図示のように、図1に示した回路と同様にPLL回路を使用して基準クロックCLKからM/N倍のクロックCKを発生させる回路であり、電流可変回路17の部分が従来例と異なる。

### 【0027】

図7に示すように、第1実施例のSSCG回路では、VCO15内のV-I変換回路16が outputする差電流信号は、ICO18に印加されるとともにパターンIDAC31に入力される。パターンIDAC31は、パターン制御回路33の outputする出力コードに従って差電流信号をスペクトラム拡散変調してスペクトラム拡散変調信号を生成する。レベルIDAC32は、レベル制御回路34の outputする出力コードに従ってスペクトラム拡散変調信号を増幅（減衰）して振幅を調整する。

### 【0028】

図8はパターンIDAC31の構成を示す図であり、図9はレベルIDAC32の構成を示す図である。図8および図9に示すように、パターンIDAC31は、図3のIDACと類似の構成を有するが、Tr12、Tr14およびTr20が削除されている。また、レベルIDAC32は、パターンIDAC31において、ビット数をmビットとし、トランジスタのサイズ比が $1/2^m$ のトランジスタの組が付加されている点が異なる。図8のパターンIDAC31は、入力電流Irefをゼロから $I_{ref}(1-1/2^n)/X$ の範囲で変化させることが可能である。また、図9のレベルIDAC32は、入力電流Irefを $I_{ref}/(2^m X)$ から $I_{ref}$ の範囲で変化させることが可能である。

### 【0029】

レベル制御回路34の outputする出力コードは、使用対象に応じて外部から設定され、一定の値である。

### 【0030】

パターン制御回路33は、前述の特願2002-266631号に開示されたのと同様のスペクトラム拡散変調コードを outputする。

### 【0031】

図10は、デジタル論理回路で実現したパターン制御回路33の構成とその動

作を示す図である。図10の（A）に示すように、パターン制御回路33は、クロックをカウントするアップダウンカウンタ41と、アップダウンカウンタ41を制御する分周カウンタ42とを有する。アップダウンカウンタ41は、カウント値をnビットの2進コードで出力する。図8の（B）に示すように、分周カウンタ42は、クロックをカウントし、カウント値が所定値になるとアップダウンカウンタ41のアップカウント動作とダウンカウント動作を切り替える。これにより、図10の（B）のように変化する出力コードが得られる。ここでは、カウント値は、ビット数により規定される最大値と最小値の間を変化することが望ましい。

### 【0032】

図11は、本発明の第2実施例のSSCG回路の構成を示す図である。第1実施例ではパターン制御回路を論理回路で実現していたが、第2実施例ではマイクロコンピュータやDSPなどのコンピュータシステムで実現する。他の部分は、第1実施例と同じである。

### 【0033】

#### 【発明の効果】

以上説明したように、本発明によれば、広い振幅調整範囲と最小振幅でも十分な分解能を確保できるスペクトラム拡散クロック発生回路が小さな回路規模で実現でき、低コストで汎用性の高いスペクトラム拡散クロック発生回路が得られる。

#### 【図面の簡単な説明】

##### 【図1】

従来のスペクトラム拡散クロック発生（SSCG）回路の構成例を示す図である。

##### 【図2】

スペクトラム拡散変調信号を示す図である。

##### 【図3】

従来例において電流可変回路として使用される電流デジタルアナログ変換回路（IDAC）の構成を示す図である。

## 【図4】

従来例において振幅を変化させた場合の問題点を説明する図である。

## 【図5】

本発明の原理構成を示す図である。

## 【図6】

本発明の原理を説明する図である。

## 【図7】

本発明の第1実施例のSSCGの構成を示す図である。

## 【図8】

第1実施例におけるパターン用IDACの構成を示す図である。

## 【図9】

第1実施例におけるレベル用IDACの構成を示す図である。

## 【図10】

第1実施例のパターン制御回路を論理回路で実現する構成と動作を示す図である。

## 【図11】

本発明の第2実施例のSSCGの構成を示す図である。

## 【符号の説明】

1 1 … 1/N分周器

1 2 … 周波数位相比較器

1 3 … チャージポンプ回路

1 4 … ループフィルタ

1 5 … VCO

1 6 … V-I変換器

1 7 … 電流可変回路

1 8 … 電流制御発振器 (ICO)

1 9 … 1/M分周器

2 1 … スペクトラム拡散変調回路

2 2 … 増幅回路

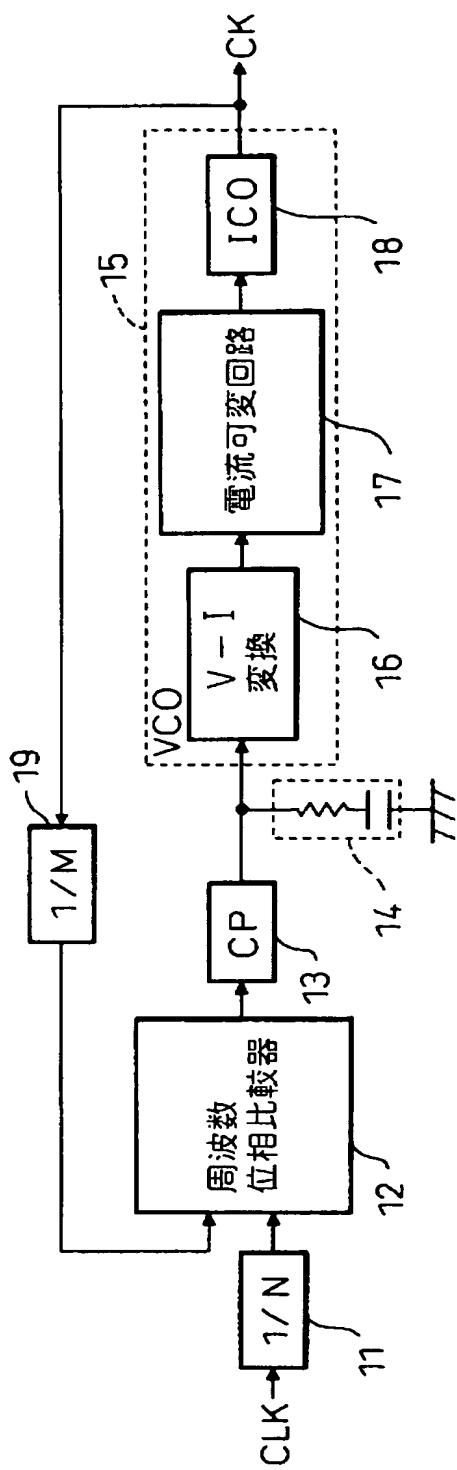
【書類名】

図面

【図1】

図1

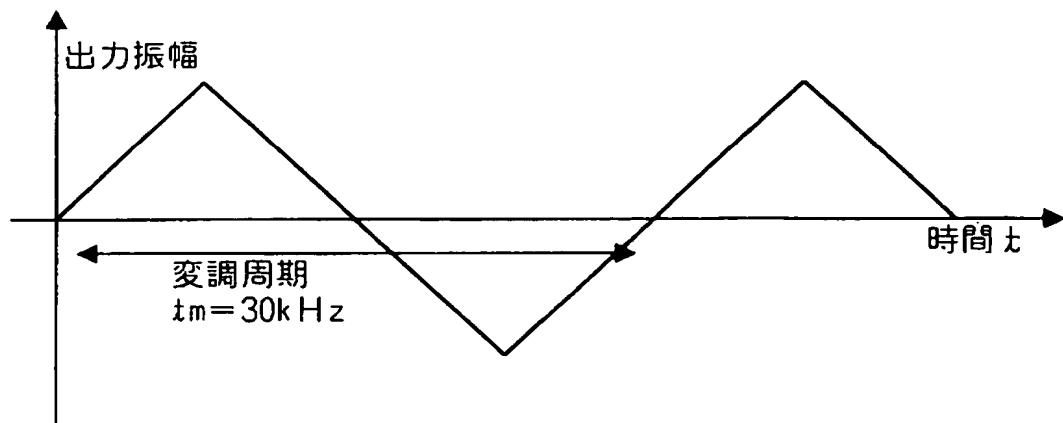
従来のSSCGの構成例



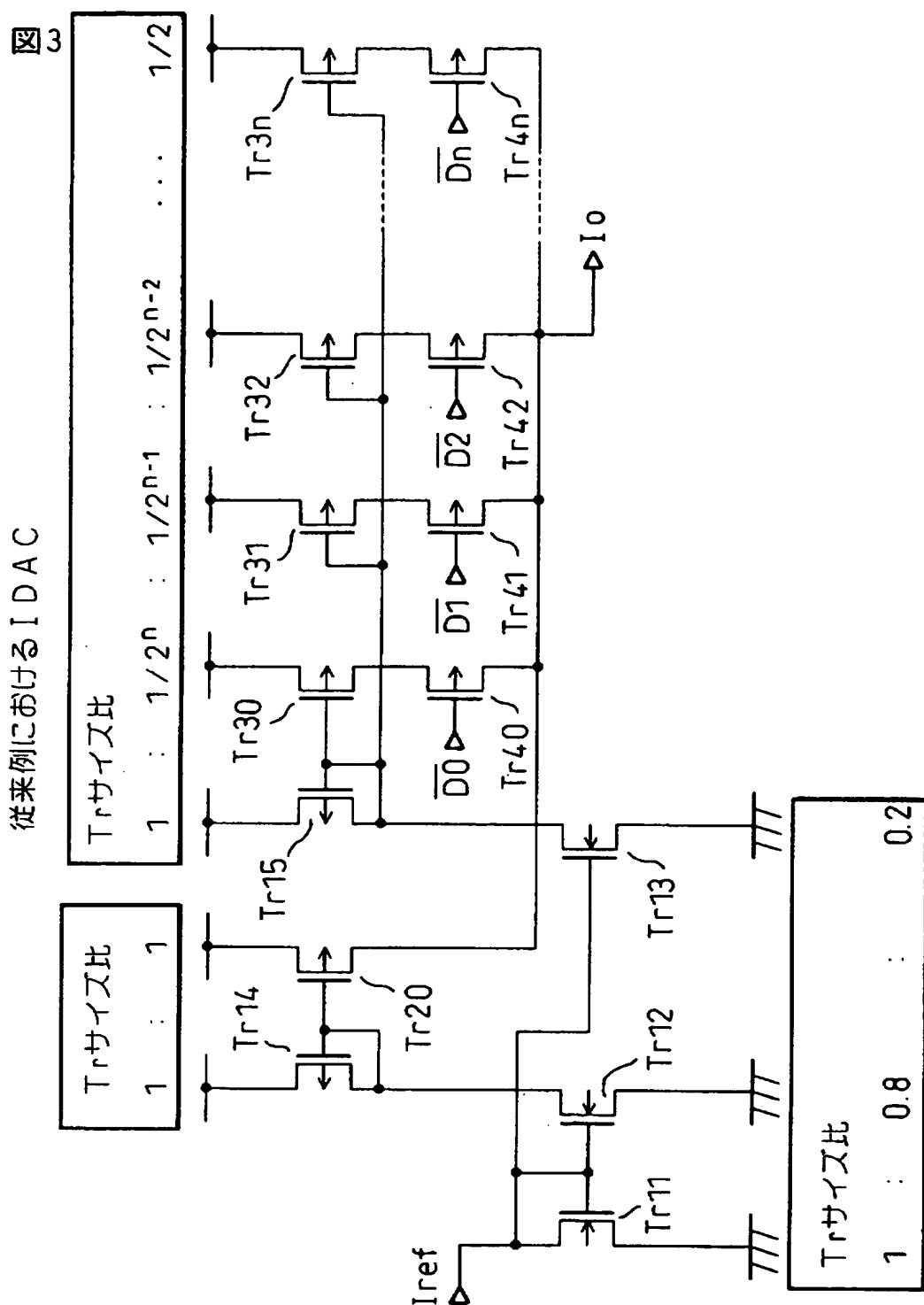
【図2】

図2

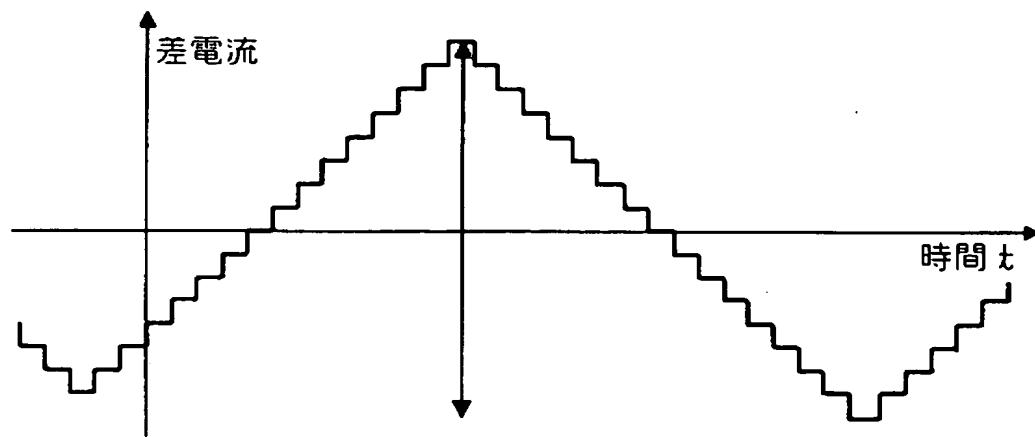
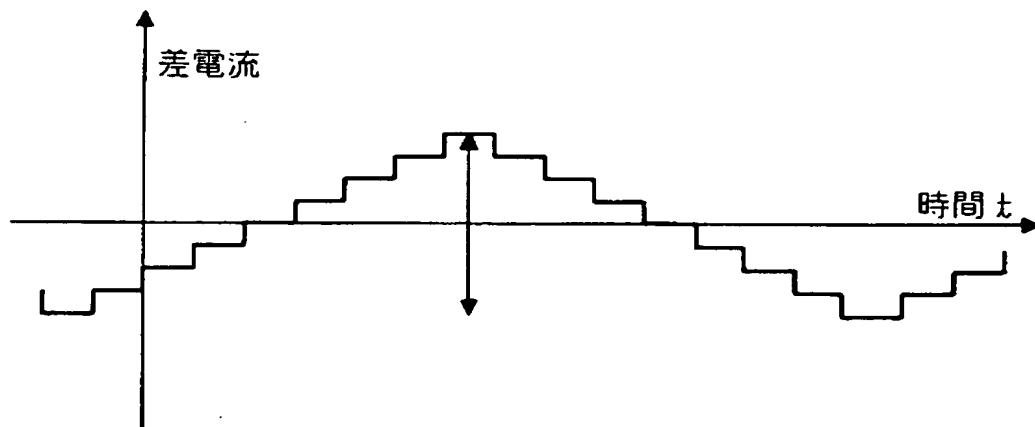
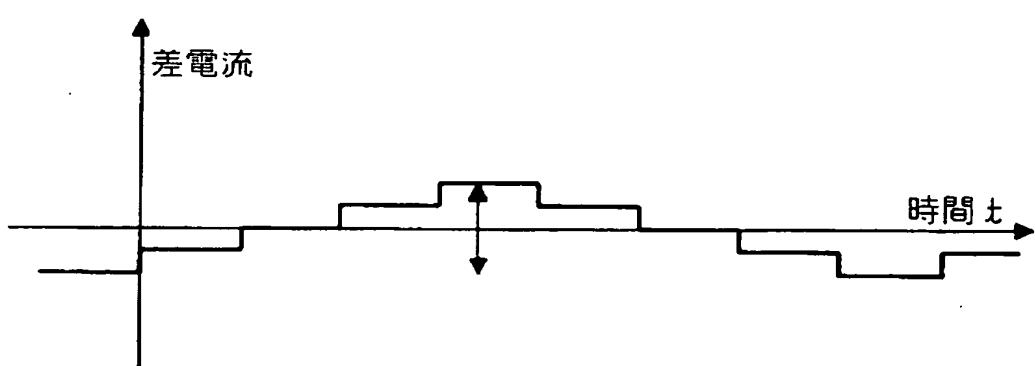
従来例における変調信号



【図3】



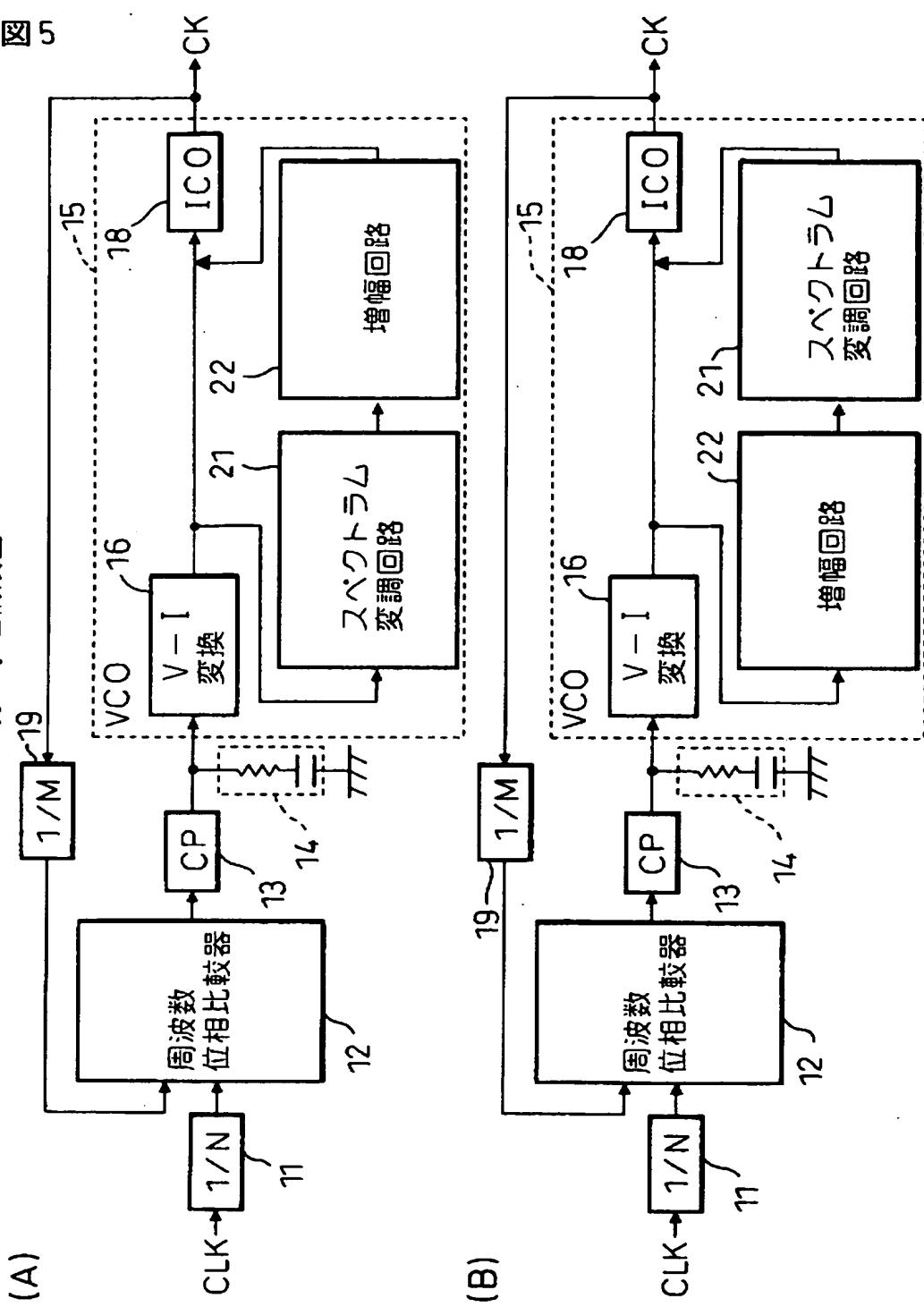
【図4】

図4  
(A) 振幅A(B) 振幅  $A/2$ (C) 振幅  $A/4$ 

【図5】

図5

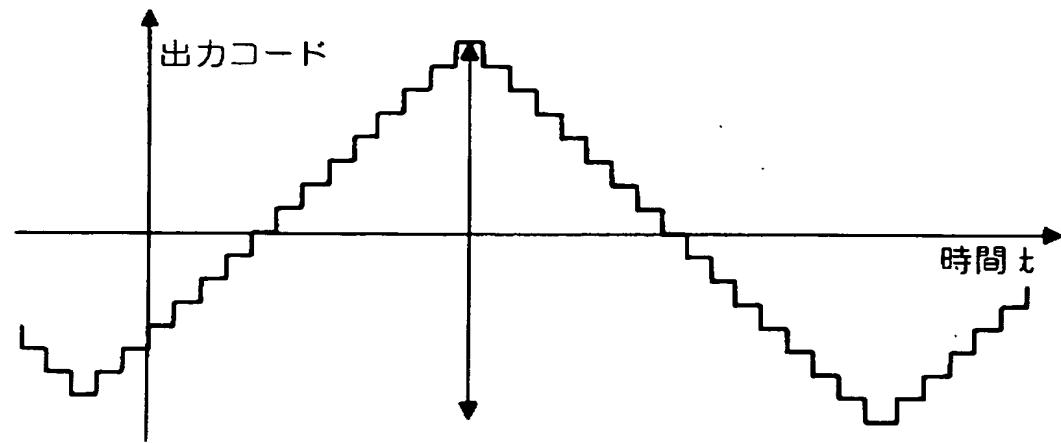
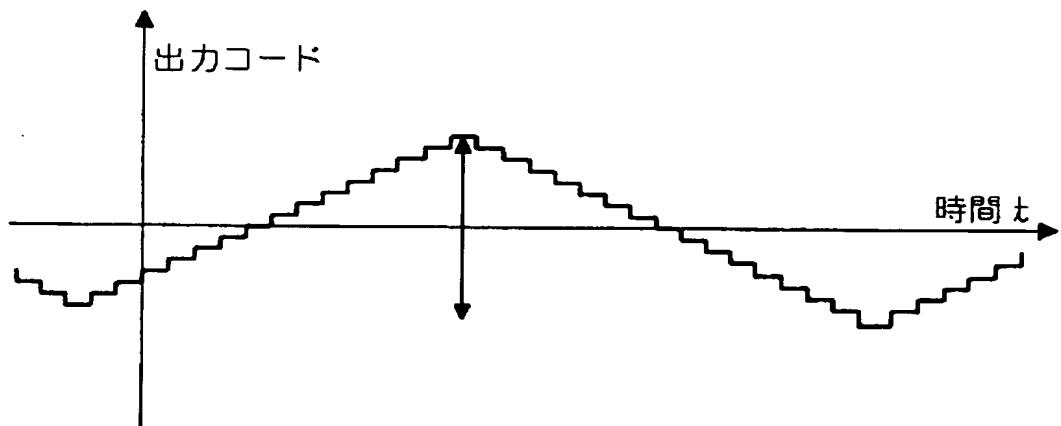
## 本発明の原理構成図



【図6】

## 図6 本発明の原理説明図

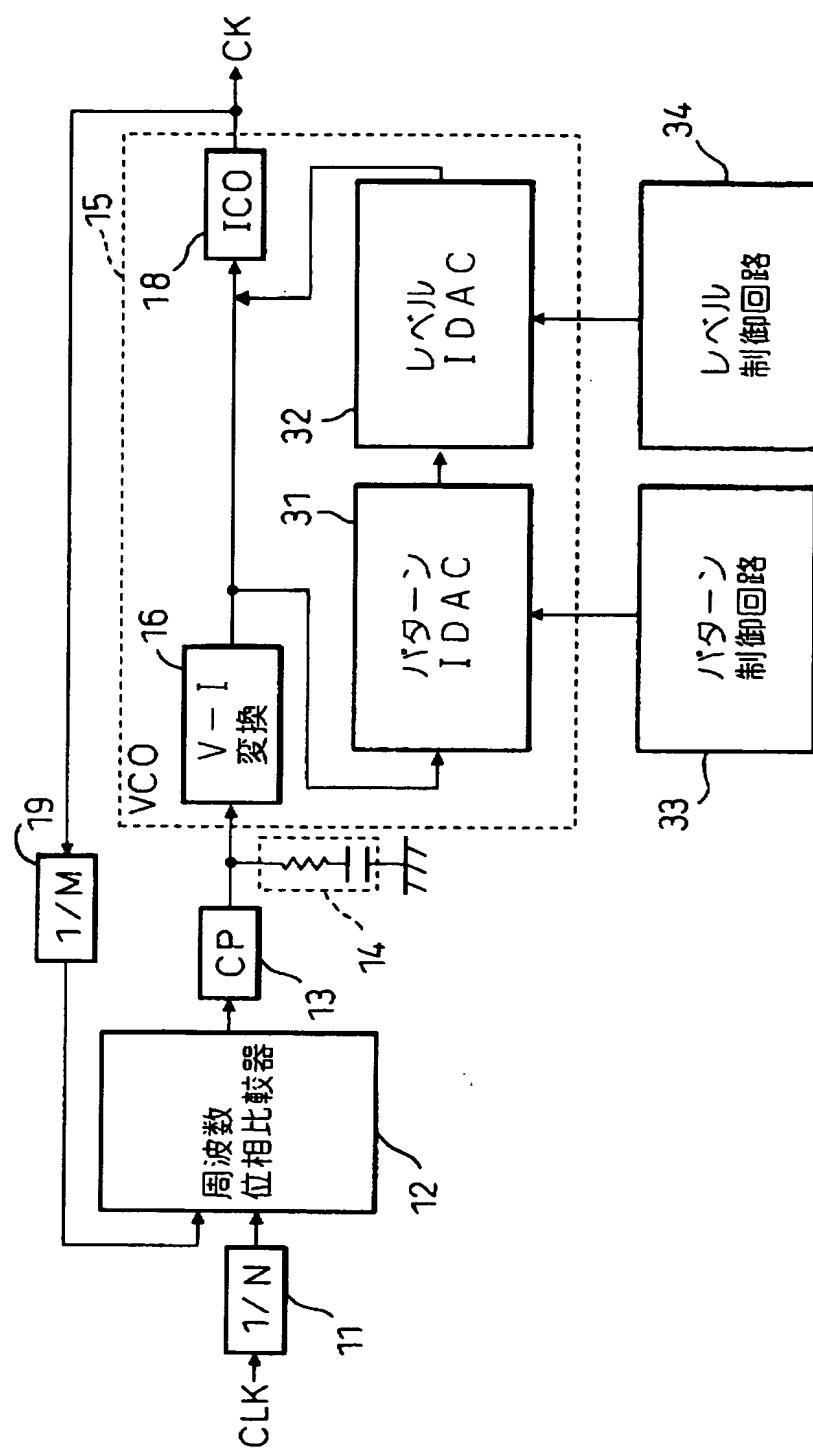
(A) 振幅A

(B) 振幅  $A k/m$ 

【図7】

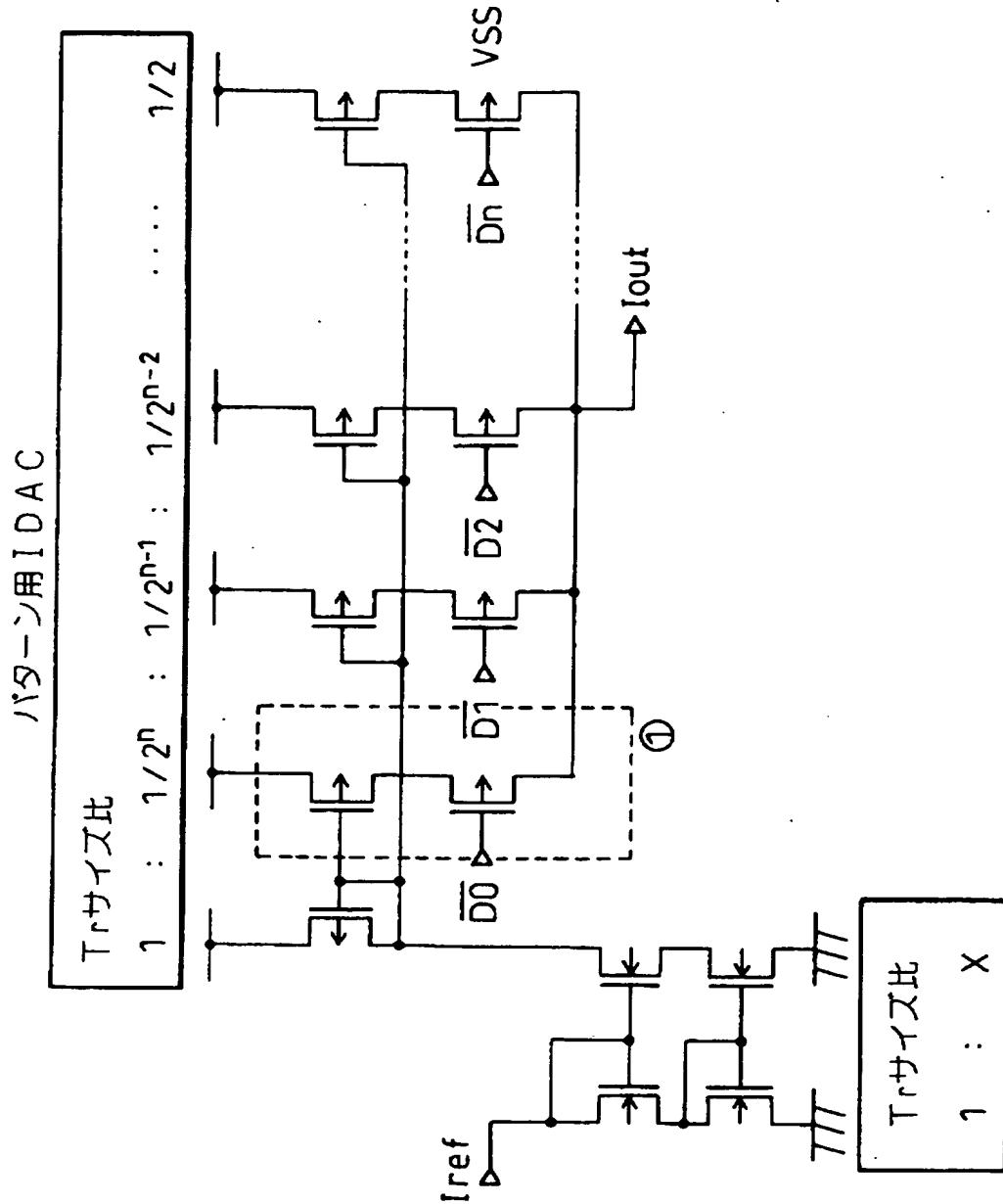
図7

本発明の第1実施例のSSCG回路の構成



【図8】

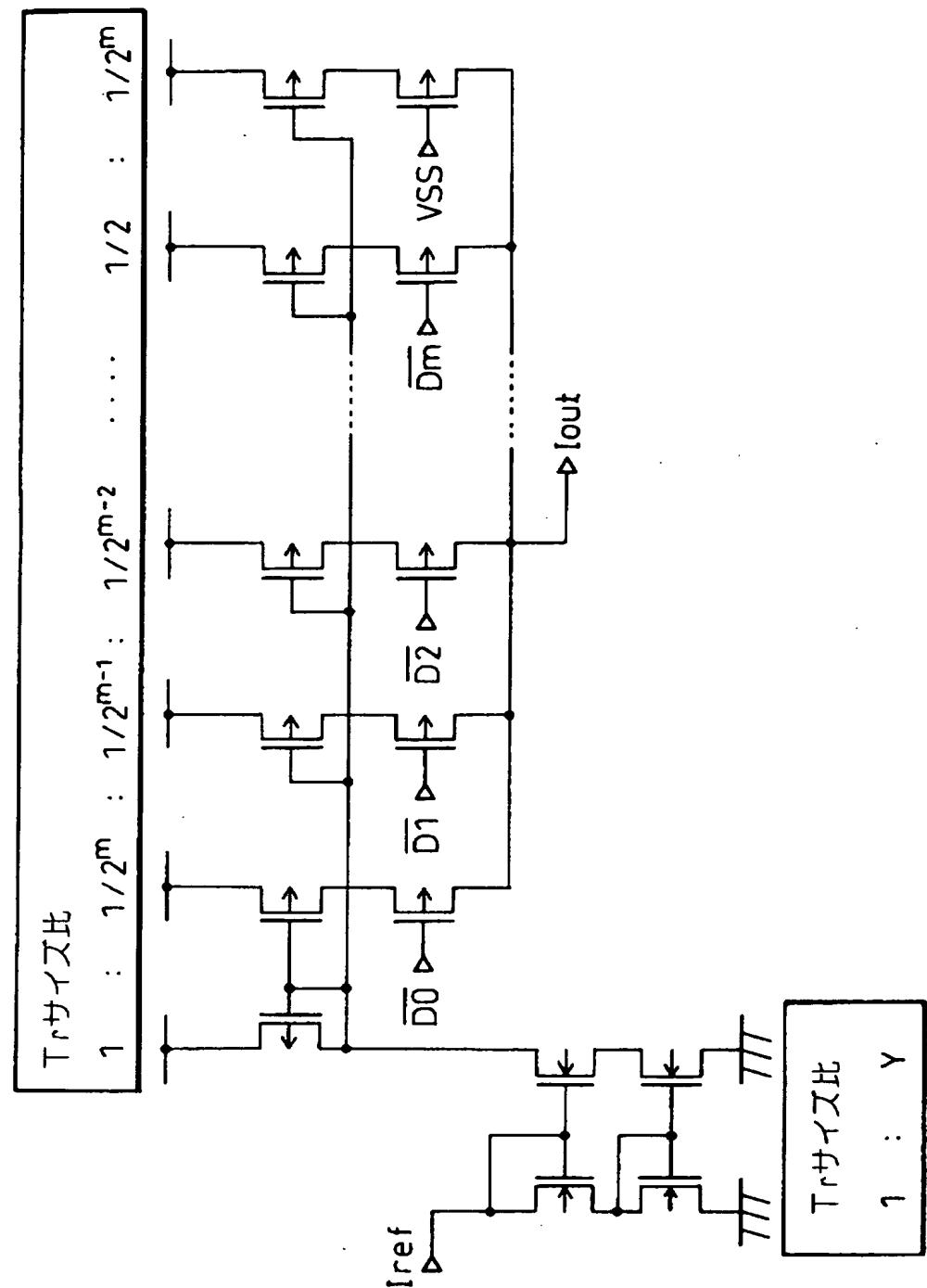
図8



【図9】

図9

レベル用DAC

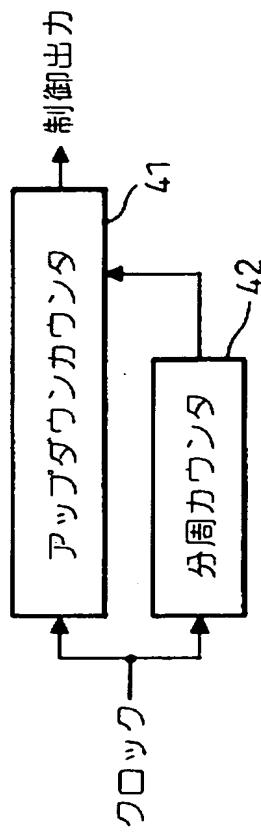


【図10】

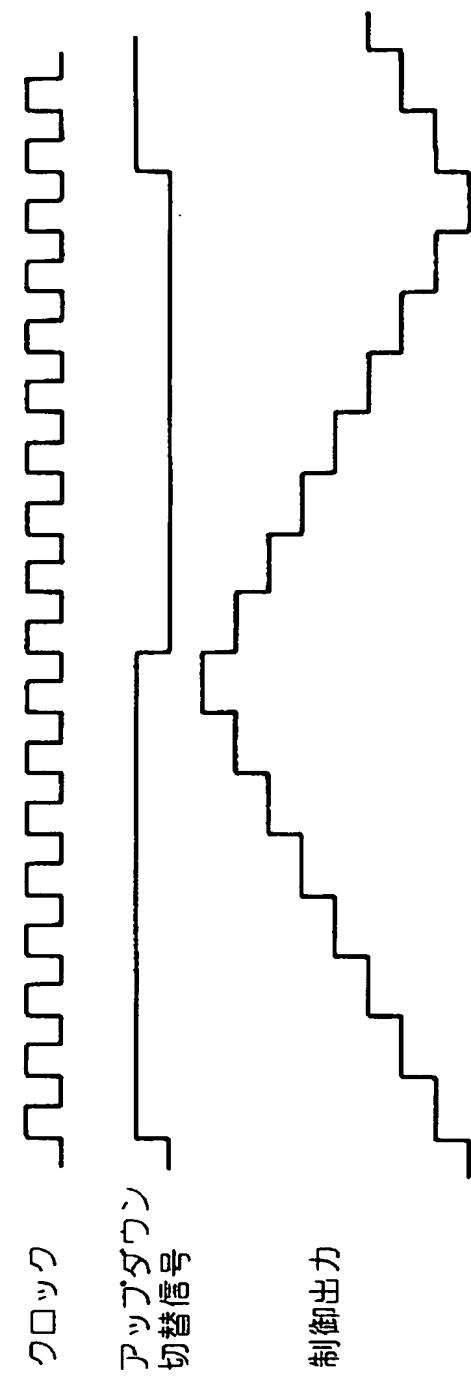
図10

## 第1実施例のパルーン交調回路

## (A) 構成



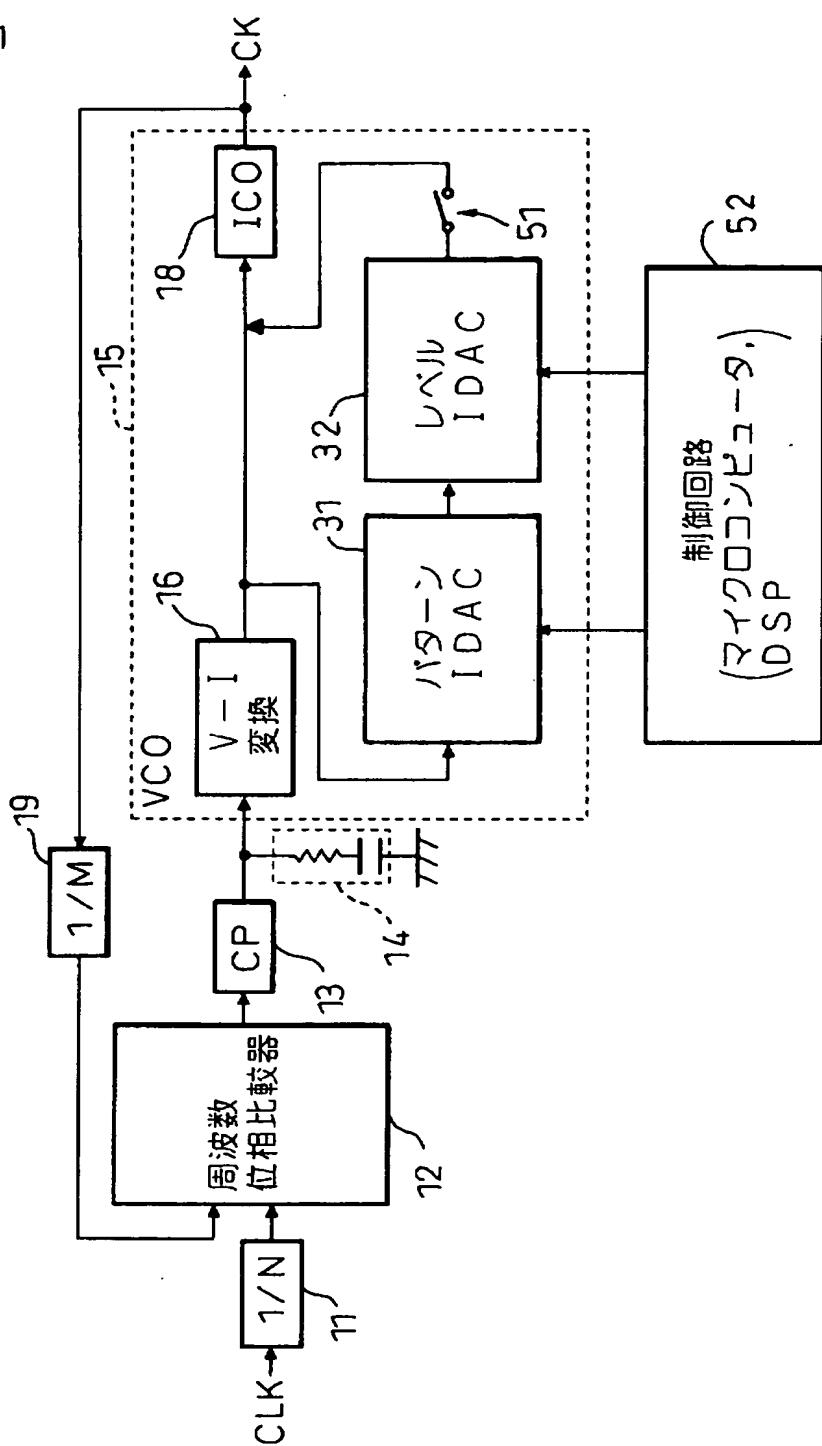
## (B) 動作



### 【図11】

圖 11

本発明の第2実施例のSSCG回路の構成



【書類名】 要約書

【要約】

【課題】 小さな回路規模で、広い振幅調整範囲と最小振幅でも十分な分解能を確保できるスペクトラム拡散クロック発生回路の実現。

【解決手段】 周波数位相比較器12と、周波数位相比較器の検出した位相差に応じて充放電信号を発生するチャージポンプ13と、充電信号に応じた差電圧信号を発生するループフィルタ14と、差電圧信号を差電流信号に変換する電圧電流変換回路16と、差電流信号に応じた周波数の生成クロックを発生するクロック発生器18とを備えるスペクトラム拡散クロック発生回路において、差電流信号を変調してスペクトラム拡散変調信号を生成するスペクトラム拡散変調回路21と、スペクトラム拡散変調信号を增幅する增幅回路22とを備え、増幅したスペクトラム拡散変調信号を差電流信号に加算してクロック発生器18に印加する。

【選択図】 図5

特願2002-377337

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日  
[変更理由] 住所変更  
住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社